

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-260938

(43)Date of publication of application : 16.09.1994

(51)Int.Cl.

H03M 1/12

(21)Application number : 05-045137

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 05.03.1993

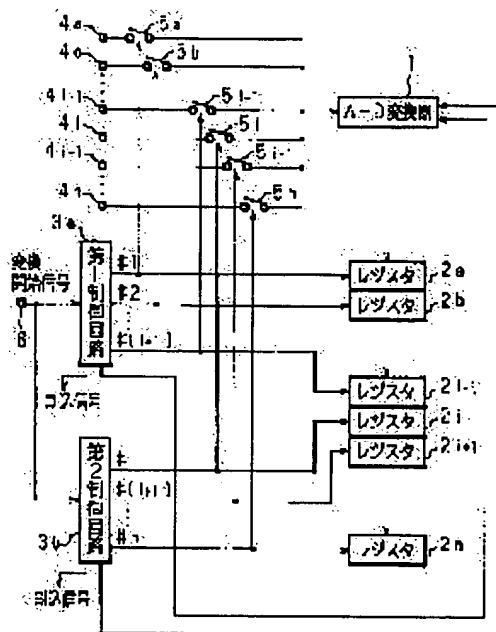
(72)Inventor : HAYASHI KAZUO

(54) A/D CONVERTER

(57)Abstract:

PURPOSE: To eliminate the waiting time for conversion of read of the result of conversion by converting only the voltage to be converted and corresponding to a conversion start signal when this signal is received.

CONSTITUTION: Plural types of voltage to be converted are supplied to the voltage input terminals 4a-4n and then applied to an A/D converter 1 via the switches 5a-5n respectively. A 1st control circuit 3a is provided with an identifier circuit which identifies an input sequence of conversion start signals. When a conversion start signal of an odd order is supplied, the converter 1 is actuated to start its converting action. Thus the outputs #1-#(i-1) are successively transmitted and the switches 5a-5i-1 are closed. Then the registers 2a-2i-1 are instructed to store the results of conversion. Finally the circuit 3a stops the working of the converter 1 and produces an interruption signal to instruct a CPU to read out the results of conversion. Meanwhile a 2nd control circuit 3b performs the same operation as the circuit 3a when a conversion start signal of an even order is supplied.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention is two or more voltage for conversion A-D A-D to change It is related with an inverter.

[0002]

[Description of the Prior Art] Drawing 7 is the conventional A-D. It is the block diagram showing an inverter. Two or more voltage for conversion is voltage input terminal 4a and 4b. -- 4n It is inputted and they are switch 5a and 5b, respectively. -- 5n It minds and is A-D. A converter 1 is given. CPU which is not illustrated from -- if inputted into a control circuit 3 from the conversion start signal input terminal 6, the conversion start signal given a control circuit 3 A-D conversion is started to a converter 1 -- making -- the 1st -- output #1 and 2nd output #2 -- n-th output #n -- one by one -- outputting -- switch 5a and 5b -- 5n closing -- register 2a and 2b -- 2n Storing of a conversion result is directed. A-D Converters 1 are Registers 2a and 2b about a conversion result. -- It outputs to 2n. When n-th output #n stops, a control circuit 3 is A-D. A converter 1 is made to end conversion and it is CPU. The receiving interrupt signal is generated and read-out of a conversion result is directed.

[0003] Drawing 8 is A-D shown in drawing 7. It is the timing diagram which shows operation of an inverter.

Operation is explained based on drawing 7 and drawing 8. CPU from -- a trigger-like conversion start signal -- (A) if it is inputted so that it may be shown -- a control circuit 3 -- A-D a converter 1 -- conversion -- pointing -- and the 1st -- output #1 -- (B) It outputs so that it may be shown. the 1st -- output #1 -- switch 5a closing -- impression terminal 4a the voltage for conversion -- A-D a converter 1 -- giving -- and register 2a It specifies and a conversion result is made to store. the 1st -- if output #1 stops -- switch 5a It opens. It is the 1st A-D now. Conversion is completed. henceforth -- one by one -- 2nd output #2 -- the n-th output #n -- (C) and (D) It is outputted so that it may be shown, and same conversion is performed. The n-th A-D After conversion is completed, a control circuit 3 is A-D. A converter 1 is made to end conversion and it is (E) about a trigger-like interrupt signal. It generates so that it may be shown, and it is CPU. A conversion end is notified. CPU Register 2a and 2b -- 2n from -- a conversion result is read through the data bus which is not illustrated

[0004]

[Problem(s) to be Solved by the Invention] The conventional A-D The inverter was what reads a conversion result from a register, after changing all the total voltage for conversion one by one according to the order of an array of the voltage input terminal and completing conversion of the total voltage for conversion, when the conversion start signal was inputted. Therefore, they are that a conversion time is periodic or two or more voltage for conversion from which it generates in at any time, and a conversion time differs, respectively A-D About the voltage for conversion whose order of an array is **** when changing Until conversion of the total voltage for conversion is completed, even if conversion is already completed Must wait for read-out of the conversion result, and there is time difference at the conversion and conversion result's read-out time, and about the voltage for conversion whose order of an array is old watch It had to wait until the turn of conversion came, even if it obtained and cooked the conversion result early, and there was a problem that there was time difference at the input [of a conversion start signal], and conversion time.

[0005] Furthermore, the conventional A-D Since an inverter is changed one by one according to the order of an array, although it stood to reason that the conversion result at the same time of two or more voltage for conversion is not obtained, this was a problem when the voltage variation width of face of the voltage for conversion was large.

[0006] The total voltage for conversion from which it is made in order that this invention may solve such a problem, and a conversion time differs, respectively When it classifies for every voltage for the conversion at each conversion time and a conversion time occurs periodically When it is made to correspond with the entry sequence foreword of a conversion start signal and a conversion time occurs at any time A-D which changes only the voltage for conversion corresponding to the conversion start signal, and does not have the time waiting of read-out of the time waiting of conversion or a conversion result by making it correspond with the input terminal of a conversion start signal at the time of arrival of a conversion start signal It aims at offering an inverter.

[0007] Moreover, A-D from which the conversion result at the input time of a conversion start signal is obtained by equipping with a sample hold circuit the voltage for conversion which needs the conversion result at the same time It aims at offering an inverter.

[0008]

[Means for Solving the Problem] It has the discrimination decision circuit which discriminates the entry sequence foreword of the conversion start signal inputted into one conversion start signal input terminal in the 1st invention of this application, and the selection circuitry which chooses the voltage for conversion corresponding to the entry sequence foreword of a conversion start signal from the total voltage for conversion, and is A-D one by one. It is characterized by constituting so that it may change.

[0009] It has the discrimination decision circuit which discriminates the input terminal into which the conversion start signal is inputted out of two or more conversion start signal input terminals in the 2nd invention of this application, and the selection circuitry which chooses the voltage for conversion corresponding to the input terminal into which the conversion start signal is inputted from the total voltage for conversion, and is A-D one by one. It is characterized by constituting so that it may change.

[0010] It is characterized by setting to the 3rd invention of this application and equipping with a sample hold circuit each of two or more voltage for conversion which needs the conversion result at the same time.

[0011]

[Function] A-D of the 1st invention In an inverter, whenever a conversion start signal is inputted, a discrimination decision circuit discriminates the entry sequence foreword, and a selection circuitry chooses the voltage for conversion corresponding to the entry sequence foreword from the total voltage for conversion, and it is A-D one by one. It changes. Therefore, when a conversion start signal is inputted, the voltage for conversion which needs conversion is changed quickly.

[0012] A-D of the 2nd invention In an inverter, whenever a conversion start signal is inputted, a discrimination decision circuit discriminates the inputted input terminal, and a selection circuitry chooses the voltage for conversion corresponding to the input terminal from the total voltage for conversion, and it is A-D one by one. It changes. Therefore, when a conversion start signal is inputted, the voltage for conversion which needs conversion is changed quickly.

[0013] A-D of the 3rd invention It is the voltage by which carried out sample hold of the voltage for conversion corresponding to the conversion start signal, and sample hold was subsequently carried out out of the total voltage for conversion in the inverter whenever the conversion start signal was inputted one by one A-D It changes. Therefore, when a conversion start signal is inputted, the conversion result of the voltage for conversion which needs conversion is obtained.

[0014]

[Example] Drawing 1 is A-D concerning the 1st invention. It is the block diagram of an inverter. This A-D An inverter is an inverter which was adapted when the conversion time of the voltage for conversion occurred periodically. Two or more voltage for conversion is voltage input terminal 4a and 4b. -- $4i-1$, $4i$, and $4i+1$ -- It is inputted into $4n$ and they are switch 5a and 5b, respectively. -- $5i-1$, $5i$, and $5i+1$ -- $5n$ It minds and is A-D. A converter 1 is given. CPU which is not illustrated from -- the conversion start signal given -- the conversion start signal input terminal 6 -- the [1st control circuit 3a and] -- it is inputted into 2 control-circuit 3b It has the discrimination decision circuit of the entry sequence foreword which discriminates into what [the] time a conversion start signal inputs 1st control circuit 3a. It is A-D when a conversion start signal inputs into the oddth time. A converter 1 is made to start conversion. the 1st -- output #1 2nd output #2 -- ** $(i-1)$ output # $(i-1)$ -- one by one -- outputting -- switch 5a and 5b -- $5i-1$ closing -- register 2a and 2b -- $2i-1$ Storing of a conversion result is directed. A-D A converter 1 is register 2a and 2b about a conversion result. -- It outputs to $2i-1$. Control circuit 3a is A-D to the last. A converter 1 is made to stop conversion and it is CPU. The

receiving interrupt signal is generated and read-out of a conversion result is directed.

[0015] 2nd control circuit 3b is also equipped with the discrimination decision circuit of the entry sequence foreword of a conversion start signal. It is A-D when a conversion start signal inputs into the eventh time. A converter 1 is made to start conversion. i-th output #i, ** (i+1) Output # (i+1) -- The n-th Output #n is outputted one by one and it is switch 5i and 5i+1. -- 5n It closes and is register 2i and 2i+1. -- 2n Storing of a conversion result is directed. A-D A converter 1 is a conversion result Register 2i and 2i+1 --2n It outputs. To the last, control circuit 3b is A-D. A converter 1 is made to stop conversion and it is CPU. The receiving interrupt signal is generated and read-out of a conversion result is directed.

[0016] The voltage for conversion at the oddth input time of a conversion start signal is voltage input terminal 4a and 4b. -- 4i-1 It is the voltage for conversion inputted and 1st control circuit 3a chooses this. Moreover, the voltage for conversion at the eventh input time of a conversion start signal is voltage input terminal 4i and 4i+1. -- 4n It is the voltage for conversion inputted and 2nd control circuit 3b chooses this.

[0017] Drawing 2 is A-D shown in drawing 1 . It is the timing diagram which shows operation of an inverter. CPU The conversion start signal of the shape of a trigger of the shell first time is (A). When it is inputted so that it may be shown, they are both the control circuits 3a and 3b. Both entry sequence forewords are discriminated. reason and 1st control circuit 3a whose conversion start signal is the 1st input -- A-D conversion is started to a converter 1 -- making -- and (B) it is shown -- as -- the 1st -- output #1 is outputted the 1st -- output #1 -- switch 5a closing -- voltage input terminal 4a the voltage for conversion -- A-D a converter 1 -- giving -- and register 2a It specifies and a conversion result is made to store. the 1st -- if output #1 stops -- switch 5a It opens. It is the 1st A-D now. Conversion is completed. henceforth -- one by one -- (C) and (D) it is shown -- as -- 2nd output #2 -- ** (i-1) Output # (i-1) is outputted and same conversion is performed. ** (i-1) A-D After conversion is completed, 1st control circuit 3a is A-D. A converter 1 is made to stop conversion and it is (E) about a trigger-like interrupt signal. It generates so that it may be shown, and it is CPU. A conversion end is notified. CPU Register 2a and 2b --2i-1 from -- a conversion result is read through the data bus which is not illustrated

[0018] CPU The conversion start signal of the shape of a trigger of shell next time is (F). When it is inputted so that it may be shown, they are both the control circuits 3a and 3b. Both entry sequence forewords are discriminated. reason and 2nd control circuit 3b whose conversion start signal is the 2nd input -- A-D conversion is started to a converter 1 -- making -- and (G), (H), and (I) it is shown -- as -- i-th output #i ** (i+1) Output # (i+1) -- n-th output #n is outputted one by one, and same conversion is performed. The n-th A-D After conversion is completed, 2nd control circuit 3b is A-D. A converter 1 is made to stop conversion and it is (J) about a trigger-like interrupt signal. It generates so that it may be shown, and it is CPU. A conversion end is notified. CPU Register 2i and 2i+1 --2n from -- a conversion result is read through a data bus

[0019] This A-D The inverter classified the total voltage for conversion from which a conversion time differs, respectively for every voltage for the conversion at each conversion time, and made it correspond with the entry sequence foreword of the conversion start signal inputted periodically, and it has the discrimination decision circuit which discriminates the entry sequence foreword, and the selection circuitry which chooses the voltage for conversion corresponding to the discriminated entry sequence foreword. Therefore, total voltage for conversion cannot be changed at the time of the input of a conversion start signal, but only the voltage for conversion corresponding to the inputted conversion start signal can be changed. Therefore, like [in the case of changing the total voltage for conversion], although conversion was ended, needing time for read-out of a conversion result, and needing time after a conversion start signal being inputted before [a conversion start] is lost.

[0020] In addition, although this example has described the case where the number of control circuits is two, as long as the entry sequence foreword of a conversion start signal and the selection sequence of the voltage for conversion which differs in a conversion time correspond, the number of a control circuit may be three or more pieces.

[0021] Drawing 3 is A-D concerning the 2nd invention. It is the block diagram of an inverter. This A-D An inverter is an inverter which was adapted when the conversion time of the voltage for conversion occurred at any time. A conversion start signal is CPU. It is given through shell conversion start signal input terminal 6a to 1st control circuit 3a, and is given through conversion start signal input terminal 6b to 2nd control circuit 3b. Conversion start signal input terminal 6a is voltage input terminal 4a and 4b. -- 4i-1 It corresponds to the voltage for conversion inputted, and when there is the need of changing the voltage for conversion of this one group, a conversion start signal is inputted into conversion start signal input terminal 6a. Conversion start signal input terminal 6b is voltage input terminal 4i and 4i+1

similarly. -- 4n It corresponds to the voltage for conversion inputted, and when there is the need of changing the voltage for conversion of this one group, it has made as [input / a conversion start signal / into conversion start signal input terminal 6b]. Two control circuits 3a and 3b It does not have the function in which each discriminates the entry sequence foreword of a conversion start signal. Since it is the same as that of drawing 1 about other circuitry, explanation is omitted.

[0022] Drawing 4 is A-D shown in drawing 3 . It is the timing diagram which shows operation of an inverter. CPU from -- the conversion start signal of the shape of a first-time trigger -- (A) the case where it is inputted into conversion start signal input terminal 6a so that it may be shown -- 1st control circuit 3a -- A-D conversion is started to a converter 1 -- making -- and (B) it is shown -- as -- the 1st -- output #1 is outputted the 1st -- output #1 -- switch 5a closing -- voltage input terminal 4a the voltage for conversion -- A-D a converter 1 -- giving -- and register 2a It specifies and a conversion result is made to store. the 1st -- if output #1 stops -- switch 5a It opens. It is the 1st A-D now. Conversion is completed. henceforth -- one by one -- (C) and (D) it is shown -- as -- 2nd output #2 -- ** (i-1) Output # (i-1) is outputted and same conversion is performed. ** (i-1) A-D After conversion is completed, 1st control circuit 3a is A-D. A converter 1 is made to stop conversion and it is (E) about a trigger-like interrupt signal. It generates so that it may be shown, and it is CPU. A conversion end is notified. CPU Register 2a and 2b--2i-1 from -- a conversion result is read through the data bus which is not illustrated

[0023] CPU The conversion start signal of the shape of a trigger of shell next time is (F). When it is inputted into conversion start signal input terminal 6b so that it may be shown, 2nd control circuit 3b -- A-D conversion is started to a converter 1 -- making -- and (G), (H), and (I) it is shown -- as -- i-th output #i ** (i+1) Output #(i+1) -- n-th output #n is outputted one by one, and same conversion is performed. The n-th A-D After conversion is completed, 2nd control circuit 3b is A-D. A converter 1 is made to stop conversion and it is (J) about a trigger-like interrupt signal. It generates so that it may be shown, and it is CPU. A conversion end is notified. CPU Register 2i and 2i+1 --2n from -- a conversion result is read through a data bus

[0024] This A-D The inverter classified the total voltage for conversion from which a conversion time differs, respectively for every voltage for the conversion at each conversion time, made it correspond with the input terminal of the conversion start signal inputted at any time, and is equipped with the circuit which discriminates the input terminal into which the conversion start signal is inputted, and the circuit which chooses the voltage for conversion corresponding to the discriminated input terminal. Therefore, total voltage for conversion cannot be changed at the time of the input of a conversion start signal, but only the voltage for conversion corresponding to the inputted conversion start signal can be changed. Therefore, even if it is the case where the total voltage for conversion includes two or more voltage for conversion from which conversion frequency differs, by inputting a conversion start signal into the corresponding conversion start signal input terminal according to conversion frequency, the voltage for conversion to need can be changed quickly and waiting for time is not needed.

[0025] In addition, although this example has described the case where the number of control circuits is two, as long as the input terminal of a conversion start signal and the voltage for conversion which differs in a conversion time correspond, the number of a control circuit may be three or more pieces.

[0026] Drawing 5 is A-D concerning the 3rd invention. It is the block diagram of an inverter. It connects mutually and the outgoing end of n voltage input terminal 4a and 4b is connected to the input edge of the A-D converter 1. -- 4n and n sample hold circuit 7a and 7b --7n And n switch 5a and 5b -- 5n It connects with a serial, respectively and they are n switch 5a and 5b. -- 5n A-D The outgoing end of a converter 1 is n register 2a and 2b. -- 2n It multi-connects.

[0027] The conversion start signal input terminal 6 is CPU which connects with a control circuit 3 and is not illustrated. The conversion start signal of a shell is inputted into a control circuit 3. A control circuit 3 is n sample hold circuit 7a and 7b. -- 7n In order to direct voltage maintenance, they are n sample hold circuit 7a and 7b. -- 7n It multi-connects. moreover, the control circuit 3 -- the 1st -- output #1 -- outputting -- switch 5a closing -- register 2a in order to direct storing of a conversion result -- switch 5a Register 2a Branch connection is made. It is switch 5b about 2nd output #2 -- n-th output #n similarly. -- 5n Register 2b -- 2n Since it outputs, respectively, a control circuit 3 is each switch 5b. -- 5n Each register 2b -- 2n Branch connection is made, respectively. Furthermore, a control circuit 3 is A-D. It is A-D in order to direct a conversion start and a conversion end to a converter 1. It connects with the converter 1, the interrupt signal after a conversion end is generated, and it is CPU. It is constituted so that read-out of a conversion result may be directed.

[0028] Drawing 6 is A-D shown in drawing 5 . It is the timing diagram which shows operation of an inverter. Voltage

input terminal 4a, 4b, and 4n The inputted voltage for conversion is (B), (D), and (F). It is changing sharply in time so that it may be shown. (A) it is alike and is shown -- as -- CPU from -- the case where a trigger-like conversion start signal is inputted -- a control circuit 3 -- (C), (E), and (G) it is shown -- as -- sample hold circuit 7a and 7b --7n Maintenance of the voltage for conversion is directed. The state where this voltage was held is continued until the following conversion start signal is inputted. furthermore, a control circuit 3 starts conversion to A-D converter 1 -- making -- and the 1st -- output #1 -- (H) It outputs so that it may be shown. the 1st -- output #1 -- switch 5a closing -- sample hold circuit 7a the held voltage for conversion -- A-D a converter 1 -- giving -- and register 2a It specifies and a conversion result is made to store. the 1st -- if output #1 stops -- switch 5a It opens. It is the 1st A-D now. Conversion is completed. henceforth -- one by one -- (I) and (J) it is shown -- as -- the 2nd -- output #2 -- n-th output #n is outputted, and same conversion is performed.

[0029] The n-th A-D After conversion is completed, a control circuit 3 is A-D. A converter 1 is made to end conversion and it is (K) about a trigger-like interrupt signal. It generates so that it may be shown, and it is CPU. A conversion end is notified. CPU Register 2a and 2b --2n from -- a conversion result is read through a data bus Thus, even if it is the case where the voltage for conversion is sharply changed by having a sample hold circuit, the conversion result at the input time of a conversion start signal can be obtained.

[0030] In addition, what is necessary is just to make the number of sample hold circuits equal to the number of the voltage for conversion which needs the conversion result at the same time, although all the n voltage input terminals are equipped with the sample hold circuit in this example. And because the voltage for conversion at the 1 conversion time needs the conversion result at the same time among two or more total voltage for conversion from which the time of changing differs, when it has a sample hold circuit, the problem of the waiting for the time to the conversion end of the total voltage for conversion exists. In such a case, it is effective A-D by combining the 3rd invention with the 1st invention or the 2nd invention. It is convertible.

[0031]

[Effect of the Invention] By discriminating the entry sequence foreword of a conversion signal, when a conversion time changes two or more voltage for conversion generated periodically according to the 1st invention Moreover, by discriminating the input terminal into which the conversion signal is inputted when a conversion time changes two or more voltage for conversion generated at any time according to the 2nd invention Since only the voltage which should be changed out of the total voltage for conversion can be changed quickly in the case of which and a conversion result can be quickly read to it, the problem of the time waiting of the conversion accompanying the order of an array of a voltage input terminal or the time waiting of read-out is solved.

[0032] According to the 3rd invention, when the voltage variation width of face of the voltage for conversion needs the conversion result at the same time also for ** greatly, the conversion result of two or more voltage for conversion which can be set at the same time as the time of a conversion start signal being inputted can be obtained by forming a sample hold circuit.

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-260938

(43)公開日 平成6年(1994)9月16日

(51)Int.Cl.⁵

H 0 3 M 1/12

識別記号

庁内整理番号

F I

技術表示箇所

A 9065-5 J

C 9065-5 J

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21)出願番号 特願平5-45137

(22)出願日 平成5年(1993)3月5日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 林 和夫

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社北伊丹製作所内

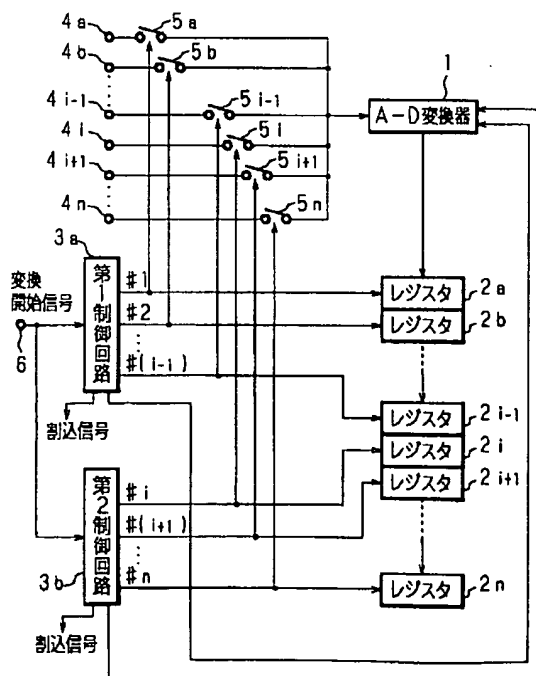
(74)代理人 弁理士 高田 守

(54)【発明の名称】 A-D変換装置

(57)【要約】

【目的】 変換を必要とする時点において、全変換対象電圧の中から、変換すべき電圧を選択して変換を行なうA-D変換装置を提供する。

【構成】 変換時点がそれぞれ異なる全変換対象電圧を、各変換時点における変換対象電圧毎に区分し、変換開始信号の入力順序と対応させておき、変換開始信号の入力順序を識別し、入力順序に対応した変換対象電圧を選択する第1制御回路3a及び第2制御回路3bを備えることにより、変換開始信号入力時点において変換すべき変換対象電圧を選択し変換するよう構成する。



【特許請求の範囲】

【請求項1】 入力端子から入力される変換開始信号により複数の変換対象電圧を順次A-D変換するA-D変換装置において、
複数の変換開始信号を順次入力する1個の入力端子と、
順次入力される変換開始信号の入力順序を識別する識別回路と、

該識別回路の識別結果に対応した変換対象電圧を選択する選択回路とを備えたことを特徴とするA-D変換装置。

【請求項2】 入力端子から入力される変換開始信号により複数の変換対象電圧を順次A-D変換するA-D変換装置において、
変換開始信号を入力する複数の入力端子と、
変換開始信号が入力されている入力端子を識別する識別回路と、

該識別回路の識別結果に対応した変換対象電圧を選択する選択回路とを備えたことを特徴とするA-D変換装置。

【請求項3】 複数の変換対象電圧を順次A-D変換するA-D変換装置において、前記複数の変換対象電圧の一部又は全部を夫々保持するサンプルホールド回路を備えたことを特徴とするA-D変換装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、複数の変換対象電圧をA-D変換するA-D変換装置に関する。

【0002】

【従来の技術】図7は、従来のA-D変換装置を示すブロック図である。複数の変換対象電圧が電圧入力端子4a, 4b...4nに入力され、夫々スイッチ5a, 5b...5nを介してA-D変換器1に与えられる。図示しないCPUから与えられる変換開始信号が、変換開始信号入力端子6より制御回路3に入力されると、制御回路3は、A-D変換器1に変換を開始させ、第1出力#1, 第2出力#2...第n出力#nを順次出力し、スイッチ5a, 5b...5nを閉じ、レジスタ2a, 2b...2nに変換結果の格納を指示する。A-D変換器1は、変換結果をレジスタ2a, 2b...2nへ出力する。第n出力#nが停止すると制御回路3は、A-D変換器1に変換を終了させ、CPUに対する割込信号を発生し、変換結果の読み出しを指示する。

【0003】図8は、図7に示すA-D変換装置の動作を示すタイムチャートである。図7及び図8に基づいて動作を説明する。CPUからトリガ状の変換開始信号が(A)に示すように入力されると、制御回路3はA-D変換器1に変換を指示し、かつ第1出力#1を(B)に示すように出力する。第1出力#1は、スイッチ5aを閉じ、印加端子4aの変換対象電圧をA-D変換器1に与え、かつレジスタ2aを指定して変換結果を格納させる。第1出力#1が停止するとスイッチ5aは開く。これで第1のA-D変換が終了する。以後、順次第2出力#2...第n出力#nが(C), (D)に示すように出力され、同様の変換が行われる。第

nのA-D変換が終了すると、制御回路3はA-D変換器1に変換を終了させ、トリガ状の割込信号を(E)に示すように発生してCPUに変換終了を通知する。CPUはレジスタ2a, 2b...2nから図示しないデータバスを介して変換結果を読み出す。

【0004】

【発明が解決しようとする課題】従来のA-D変換装置は、変換開始信号が入力されると、全変換対象電圧のすべてを、その電圧入力端子の配列順に従って順次変換し、全変換対象電圧の変換が完了してから、変換結果をレジスタから読み出すものであった。従って、変換時点が周期的又は随時に発生し変換時点がそれぞれ異なる複数の変換対象電圧をA-D変換する場合において、配列順が若番である変換対象電圧については、既に変換が終了していても、全変換対象電圧の変換が完了するまで、その変換結果の読み出しを待たねばならず、変換時点と変換結果の読み出し時点とには時間差があり、また配列順が老番である変換対象電圧については、早く変換結果を得たくとも、変換の順番が到来するまで待たなくてはならず、変換開始信号の入力時点と変換時点とには時間差があるという問題があった。

【0005】さらに、従来のA-D変換装置は配列順に従って順次変換するものであるから、複数の変換対象電圧の同一時点における変換結果は得られないのは当然のことであるが、変換対象電圧の電圧変動幅が大きい場合、このことは問題であった。

【0006】本発明は、このような問題を解決するためになされたものであり、変換時点がそれぞれ異なる全変換対象電圧を、各変換時点における変換対象電圧毎に区分し、変換時点が周期的に発生する場合は、変換開始信号の入力順序と対応させ、変換時点が随時発生する場合は、変換開始信号の入力端子と対応させることにより、変換開始信号の到来時に、その変換開始信号に対応した変換対象電圧のみを変換し、変換の時間待ち、又は変換結果の読み出しの時間待ちのないA-D変換装置を提供することを目的とする。

【0007】また、同一時点における変換結果を必要とする変換対象電圧に、サンプルホールド回路を備えることにより、変換開始信号の入力時点における変換結果が得られるA-D変換装置を提供することを目的とする。

【0008】

【課題を解決するための手段】本願の第1発明においては、1個の変換開始信号入力端子に入力される変換開始信号の入力順序を識別する識別回路と、変換開始信号の入力順序に対応した変換対象電圧を全変換対象電圧の中から選択する選択回路とを備え、順次A-D変換するよう構成してあることを特徴とする。

【0009】本願の第2発明においては、複数の変換開始信号入力端子の中から、変換開始信号が入力されている入力端子を識別する識別回路と、変換開始信号が入力

されている入力端子に対応した変換対象電圧を全変換対象電圧の中から選択する選択回路とを備え、順次A-D変換するよう構成してあることを特徴とする。

【0010】本願の第3発明においては、同一時点における変換結果を必要とする複数の変換対象電圧の夫々にサンプルホールド回路を備えることを特徴とする。

【0011】

【作用】第1発明のA-D変換装置では、変換開始信号が入力される都度、識別回路がその入力順序を識別し、選択回路がその入力順序に対応した変換対象電圧を全変換対象電圧の中から選択し、順次A-D変換を行なう。従って、変換開始信号が入力された時点において変換を必要とする変換対象電圧が迅速に変換される。

【0012】第2発明のA-D変換装置では、変換開始信号が入力される都度、識別回路がその入力された入力端子を識別し、選択回路がその入力端子に対応した変換対象電圧を全変換対象電圧の中から選択し、順次A-D変換を行なう。従って、変換開始信号が入力された時点において変換を必要とする変換対象電圧が迅速に変換される。

【0013】第3発明のA-D変換装置では、変換開始信号が入力される都度、全変換対象電圧の中からその変換開始信号に対応する変換対象電圧をサンプルホールドし、次いでサンプルホールドされた電圧を順次A-D変換する。従って変換開始信号が入力された時点において変換を必要とする変換対象電圧の変換結果が得られる。

【0014】

【実施例】図1は、第1発明に係るA-D変換装置のブロック図である。このA-D変換装置は、変換対象電圧の変換時点が周期的に発生する場合に適応した変換装置である。複数の変換対象電圧が電圧入力端子4a, 4b...4i-1, 4i, 4i+1...4nに入力され、夫々スイッチ5a, 5b...5i-1, 5i, 5i+1...5nを介してA-D変換器1に与えられる。図示しないCPUから与えられる変換開始信号が変換開始信号入力端子6より第1制御回路3a及び第2制御回路3bに入力される。第1制御回路3aは変換開始信号が第何回目に入力したものであるかを識別する入力順序の識別回路を備えており、奇数回目に変換開始信号が入力した場合に、A-D変換器1に変換を開始させ、第1出力#1, 第2出力#2...第(i-1)出力#(i-1)を順次出力し、スイッチ5a, 5b...5i-1を閉じ、レジスタ2a, 2b...2i-1に変換結果の格納を指示する。A-D変換器1は変換結果をレジスタ2a, 2b...2i-1へ出力する。最後に制御回路3aは、A-D変換器1に変換を停止させ、CPUに対する割込信号を発生し、変換結果の読み出しを指示する。

【0015】第2制御回路3bも、変換開始信号の入力順序の識別回路を備えており、偶数回目に変換開始信号が入力した場合に、A-D変換器1に変換を開始させ、第i出力#i, 第(i+1)出力#(i+1)...第n出力#nを順次出力

し、スイッチ5i, 5i+1...5nを閉じ、レジスタ2i, 2i+1...2nに変換結果の格納を指示する。A-D変換器1は、変換結果をレジスタ2i, 2i+1...2nへ出力する。最後に、制御回路3bはA-D変換器1に変換を停止させ、CPUに対する割込信号を発生し、変換結果の読み出しを指示する。

【0016】奇数回目の変換開始信号の入力時点における変換対象電圧は、電圧入力端子4a, 4b...4i-1に入力されている変換対象電圧であり、これを選択するのが第1制御回路3aである。また偶数回目の変換開始信号の入力時点における変換対象電圧は電圧入力端子4i, 4i+1...4nに入力されている変換対象電圧であり、これを選択するのが第2制御回路3bである。

【0017】図2は図1に示すA-D変換装置の動作を示すタイムチャートである。CPUから初回のトリガ状の変換開始信号が(A)に示すように入力された場合、両制御回路3a, 3bは共に入力順序の識別を行なう。変換開始信号は第1回目の入力である故、第1制御回路3aはA-D変換器1に変換を開始させ、かつ(B)に示すように第1出力#1を出力する。第1出力#1は、スイッチ5aを閉じ、電圧入力端子4aの変換対象電圧をA-D変換器1に与え、かつレジスタ2aを指定して変換結果を格納させる。第1出力#1が停止するとスイッチ5aは開く。これで第1のA-D変換が終了する。以後順次(C), (D)に示すように第2出力#2...第(i-1)出力#(i-1)が出力され、同様の変換が行われる。第(i-1)のA-D変換が終了すると第1制御回路3aはA-D変換器1に変換を停止させ、かつトリガ状の割込信号を(E)に示すように発生してCPUに変換終了を通知する。CPUはレジスタ2a, 2b...2i-1から図示しないデータバスを介して変換結果を読み出す。

【0018】CPUから次回のトリガ状の変換開始信号が(F)に示すように入力された場合、両制御回路3a, 3bは共に入力順序の識別を行なう。変換開始信号は第2回目の入力である故、第2制御回路3bはA-D変換器1に変換を開始させ、かつ(G), (H), (I)に示すように第i出力#i, 第(i+1)出力#(i+1)...第n出力#nを順次出力し、同様の変換を行なう。第nのA-D変換が終了すると第2制御回路3bはA-D変換器1に変換を停止させ、かつトリガ状の割込信号を(J)に示すように発生してCPUに変換終了を通知する。CPUはレジスタ2i, 2i+1...2nからデータバスを介して変換結果を読み出す。

【0019】このA-D変換装置は、変換時点がそれぞれ異なる全変換対象電圧を、各変換時点における変換対象電圧毎に区分し、周期的に入力される変換開始信号の入力順序と対応させておき、その入力順序を識別する識別回路と、識別した入力順序に対応した変換対象電圧を選択する選択回路を備えている。従って変換開始信号の入力時に、全変換対象電圧を変換するのではなく、入力された変換開始信号に対応した変換対象電圧のみを変換す

ることができる。従って、全変換対象電圧を変換する場合のように、変換は終了したが、変換結果の読み出しに時間を必要とし、また変換開始信号が入力されてから変換開始までに時間を必要とすることがなくなる。

【0020】なお、本実施例では制御回路が2個の場合について述べているが、変換開始信号の入力順序と変換時点を異にする変換対象電圧の選択順序とが対応していれば、制御回路の個数は3個以上であってもよい。

【0021】図3は第2発明に係るA-D変換装置のブロック図である。このA-D変換装置は変換対象電圧の変換時点が随時発生する場合に適応した変換装置である。変換開始信号はCPUから変換開始信号入力端子6aを介して第1制御回路3aへ与えられ、また変換開始信号入力端子6bを介して第2制御回路3bへ与えられる。変換開始信号入力端子6aは電圧入力端子4a, 4b...4i-1に入力されている変換対象電圧に対応しており、この1群の変換対象電圧を変換する必要がある時点に、変換開始信号入力端子6aへ変換開始信号が入力される。同様に変換開始信号入力端子6bは電圧入力端子4i, 4i+1...4nに入力されている変換対象電圧に対応しており、この1群の変換対象電圧を変換する必要がある時点に、変換開始信号入力端子6bへ変換開始信号が入力されるようになっている。2個の制御回路3a, 3bは、いずれも変換開始信号の入力順序を識別する機能を有しない。その他の回路構成については図1と同様であるので説明を省略する。

【0022】図4は図3に示すA-D変換装置の動作を示すタイムチャートである。CPUから初回のトリガ状の変換開始信号が(A)に示すように変換開始信号入力端子6aに入力された場合、第1制御回路3aはA-D変換器1に変換を開始させ、かつ(B)に示すように第1出力#1を出力する。第1出力#1は、スイッチ5aを閉じ、電圧入力端子4aの変換対象電圧をA-D変換器1に与え、かつレジスタ2aを指定して変換結果を格納させる。第1出力#1が停止するとスイッチ5aは開く。これで第1のA-D変換が終了する。以後順次(C), (D)に示すように第2出力#2...第(i-1)出力#(i-1)が出力され、同様の交換が行われる。第(i-1)のA-D変換が終了すると第1制御回路3aはA-D変換器1に変換を停止させ、かつトリガ状の割込信号を(E)に示すように発生してCPUに変換終了を通知する。CPUはレジスタ2a, 2b...2i-1から図示しないデータバスを介して変換結果を読み出す。

【0023】CPUから次のトリガ状の変換開始信号が(F)に示すように変換開始信号入力端子6bに入力された場合、第2制御回路3bはA-D変換器1に変換を開始させ、かつ(G), (H), (I)に示すように第i出力#i, 第(i+1)出力#(i+1)...第n出力#nを順次出力し、同様の交換を行なう。第nのA-D変換が終了すると第2制御回路3bはA-D変換器1に変換を停止させ、かつトリガ状の割込信号を(J)に示すように発生してCPUに変換終了を通知する。CPUはレジスタ2i, 2i+1...2nからデータバ

スを介して変換結果を読み出す。

【0024】このA-D変換装置は、変換時点がそれぞれ異なる全変換対象電圧を、各変換時点における変換対象電圧毎に区分し、随時入力される変換開始信号の入力端子と対応させておき、変換開始信号が入力されている入力端子を識別する回路と、識別した入力端子に対応した変換対象電圧を選択する回路を備えている。従って変換開始信号の入力時に、全変換対象電圧を変換するのではなく、入力された変換開始信号に対応した変換対象電圧のみを変換することができる。従って全変換対象電圧が変換頻度の異なる複数の変換対象電圧を包含している場合であっても、該当する変換開始信号入力端子に、変換頻度に応じて変換開始信号を入力することにより、必要とする変換対象電圧を迅速に変換することができ、時間待ちを必要としない。

【0025】なお、本実施例では、制御回路が2個の場合について述べているが、変換開始信号の入力端子と変換時点を異にする変換対象電圧とが対応していれば制御回路の個数は3個以上であってもよい。

【0026】図5は第3発明に係るA-D変換装置のブロック図である。n個の電圧入力端子4a, 4b...4n、n個のサンプルホールド回路7a, 7b...7n及びn個のスイッチ5a, 5b...5nが、夫々直列に接続され、n個のスイッチ5a, 5b...5nの出力端は、相互に接続され、かつA-D変換器1の入力端に接続されている。A-D変換器1の出力端はn個のレジスタ2a, 2b...2nにマルチ接続されている。

【0027】変換開始信号入力端子6は、制御回路3と接続され、図示しないCPUからの変換開始信号が制御回路3に入力される。制御回路3は、n個のサンプルホールド回路7a, 7b...7nに電圧保持を指示するため、n個のサンプルホールド回路7a, 7b...7nにマルチ接続されている。また制御回路3は、第1出力#1を出力してスイッチ5aを閉じ、レジスタ2aに変換結果の格納を指示するため、スイッチ5aとレジスタ2aとにブランチ接続されている。同様に第2出力#2...第n出力#nをスイッチ5b...5nとレジスタ2b...2nに夫々出力するため、制御回路3は各スイッチ5b...5nと各レジスタ2b...2nとに夫々ブランチ接続されている。さらに制御回路3はA-D変換器1に変換開始と変換終了を指示するため、A-D変換器1と接続されており、変換終了後割込信号を発生してCPUに変換結果の読み出しを指示するよう構成されている。

【0028】図6は図5に示すA-D変換装置の動作を示すタイムチャートである。電圧入力端子4a, 4b, 4nに入力された変換対象電圧は、(B), (D), (F)に示すように時間的に大きく変動している。(A)に示すようにCPUからトリガ状の変換開始信号が入力された場合、制御回路3は(C), (E), (G)に示すようにサンプルホールド回路7a, 7b...7nに変換対象電圧の保持を指示する。

この電圧が保持された状態は、次の変換開始信号が入力されるまで継続する。さらに制御回路3はA-D変換器1に変換を開始させ、かつ第1出力#1を(H)に示すように出力する。第1出力#1はスイッチ5_aを閉じ、サンプルホールド回路7_aに保持された変換対象電圧をA-D変換器1に与え、かつレジスタ2_aを指定して、変換結果を格納させる。第1出力#1が停止するとスイッチ5_aは開く。これで第1のA-D変換が終了する。以後順次(I), (J)に示すように第2出力#2, …第n出力#nが出力され、同様の変換が行われる。

【0029】第nのA-D変換が終了すると、制御回路3はA-D変換器1に変換を終了させ、トリガ状の割込信号を(K)に示すように発生してCPUに変換終了を通知する。CPUはレジスタ2_a, 2_b…2_nからデータバスを介して変換結果を読み出す。このようにサンプルホールド回路を備えることにより、変換対象電圧が大きく変動する場合であっても、変換開始信号の入力時点における変換結果を得ることができる。

【0030】なお、本実施例ではn個の電圧入力端子のすべてにサンプルホールド回路を備えているが、サンプルホールド回路の数は同一時点における変換結果を必要とする変換対象電圧の数に等しくすればよい。そして変換すべき時点が異なる複数の全変換対象電圧のうち、一変換時点における変換対象電圧が同一時点における変換結果を必要とする故にサンプルホールド回路を備えた場合に、全変換対象電圧の変換終了迄の時間待ちの問題が存在する。このような場合においては、第3発明を、第1発明又は第2発明と組み合わせることにより効果的なA-D変換を行なうことができる。

【0031】

【発明の効果】第1発明によれば、変換時点が周期的に発生する複数の変換対象電圧を変換する場合に変換信号

の入力順序を識別することにより、また第2発明によれば、変換時点が随時発生する複数の変換対象電圧を変換する場合に変換信号が入力されている入力端子を識別することにより、いずれの場合においても全変換対象電圧の中から変換すべき電圧のみを迅速に変換し、迅速に変換結果を読み出すことができるので、電圧入力端子の配列順に伴う変換の時間待ち又は読み出しの時間待ちの問題が解決される。

【0032】第3発明によれば、変換対象電圧の電圧変動幅が大きく而も同一時点における変換結果を必要とする場合に、サンプルホールド回路を設けることにより変換開始信号が入力された時点と同一時点における複数の変換対象電圧の変換結果を得ることができる。

【図面の簡単な説明】

【図1】第1発明に係るA-D変換装置のブロック図である。

【図2】図1のA-D変換装置のタイムチャートである。

【図3】第2発明に係るA-D変換装置のブロック図である。

【図4】図3のA-D変換装置のタイムチャートである。

【図5】第3発明に係るA-D変換装置のブロック図である。

【図6】図5のA-D変換装置のタイムチャートである。

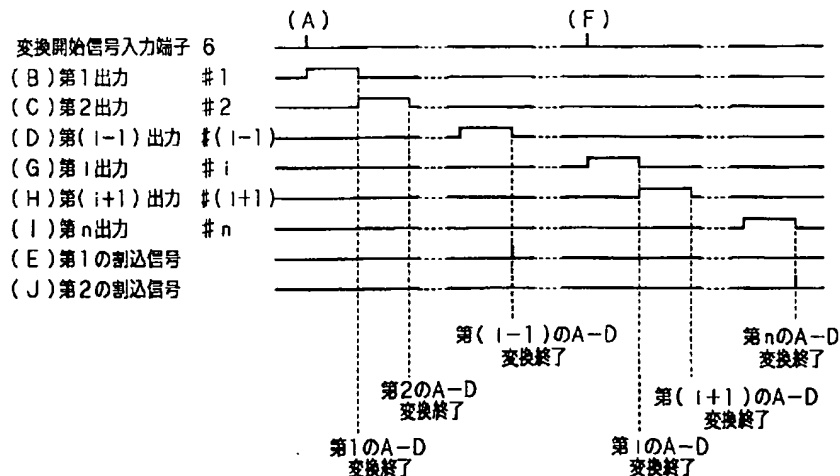
【図7】従来のA-D変換装置のブロック図である。

【図8】図7のA-D変換装置のタイムチャートである。

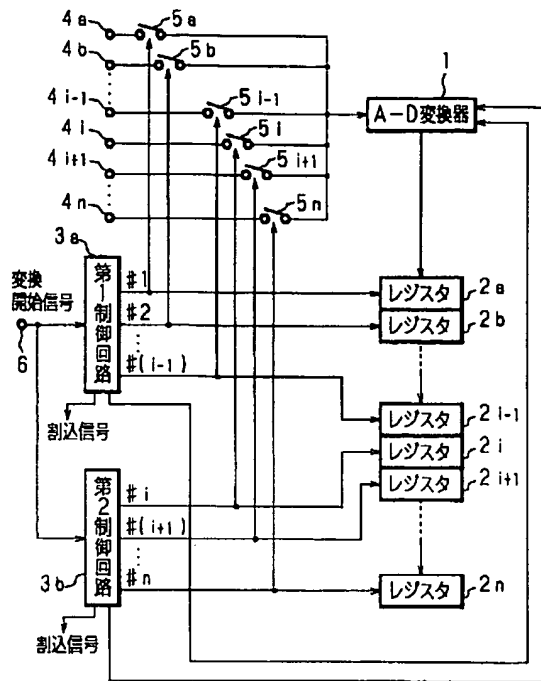
【符号の説明】

- | | |
|------------------------------------|------------|
| 1 | A-D変換器 |
| 2 _a …2 _n | レジスタ |
| 3, 3 _a , 3 _b | 制御回路 |
| 4 _a …4 _n | 変換対象電圧入力端子 |
| 6, 6 _a , 6 _b | 変換開始信号入力端子 |

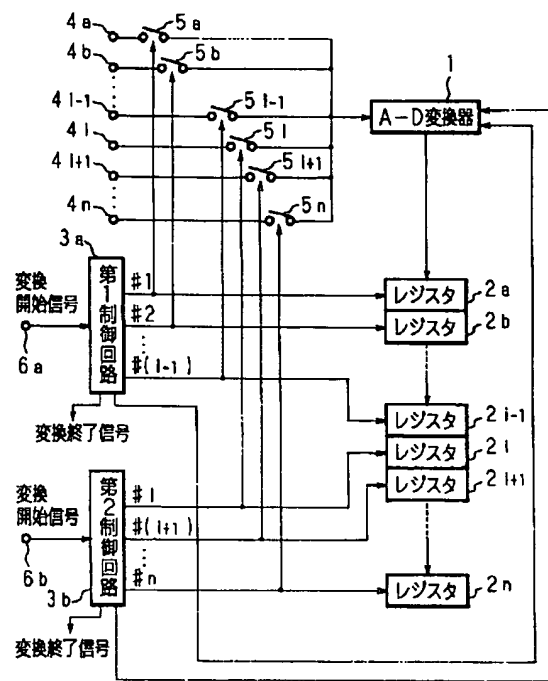
【図2】



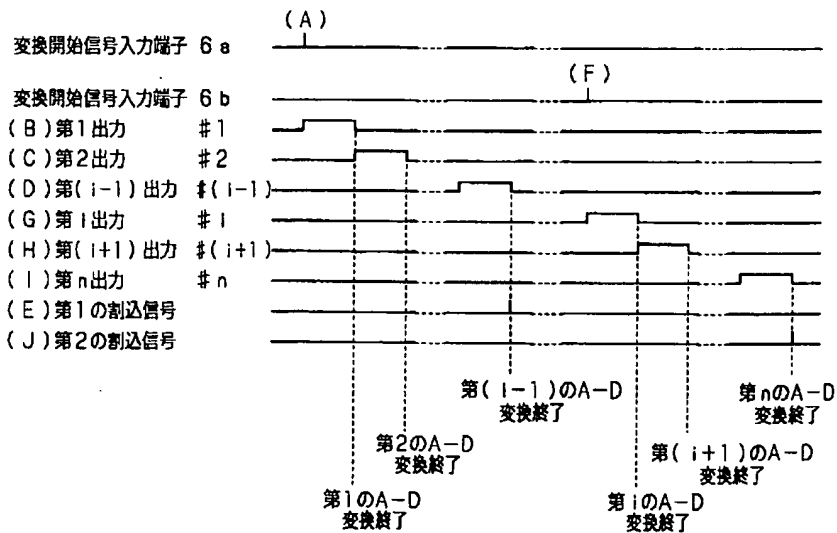
【図1】



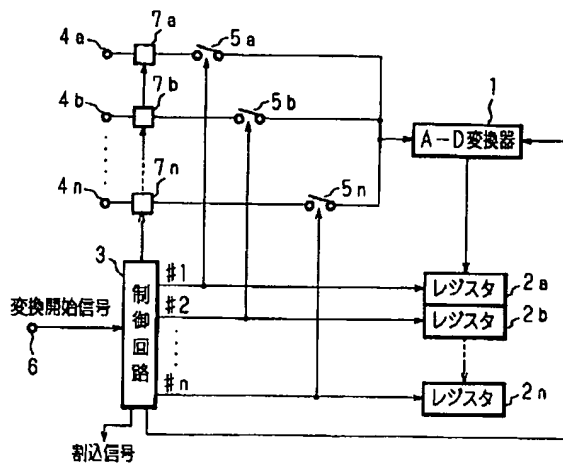
【図3】



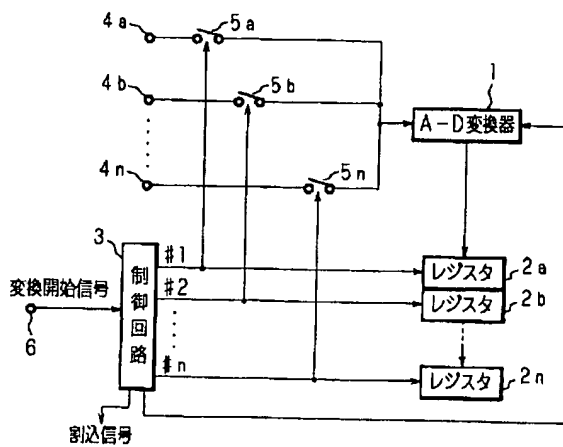
【図4】



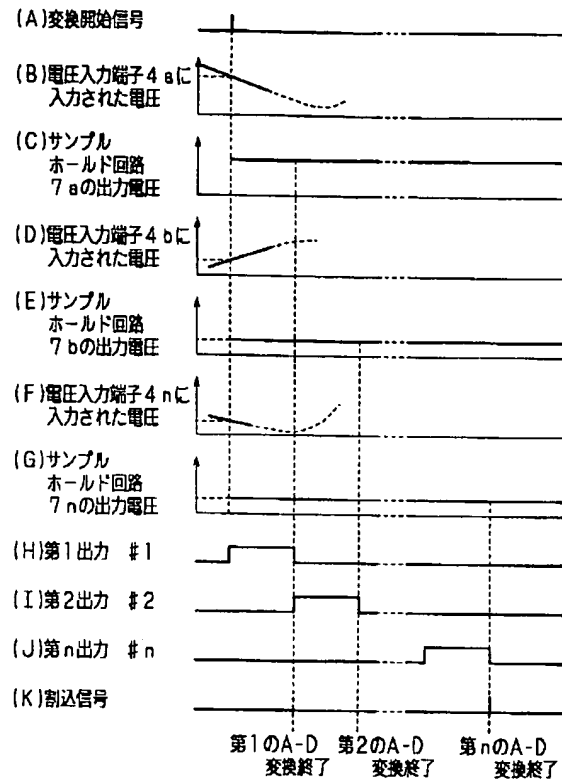
【図5】



【図7】



【図6】



【図8】

